

MCY 71C03N
Pamięć statyczna RAM
1 x 1024 bity

Informacja wstępna

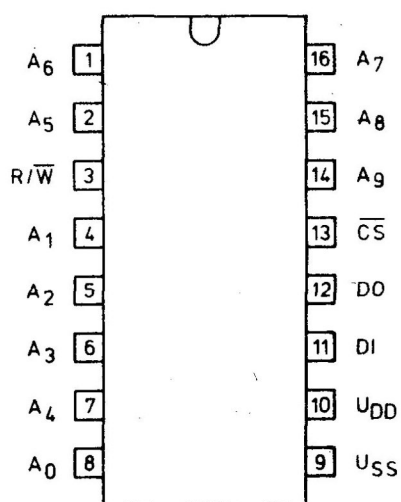
LSI CMOS
Bramka aluminiowa

Obudowa CE 71

1024-bitowa pamięć statyczna RAM charakteryzuje się:

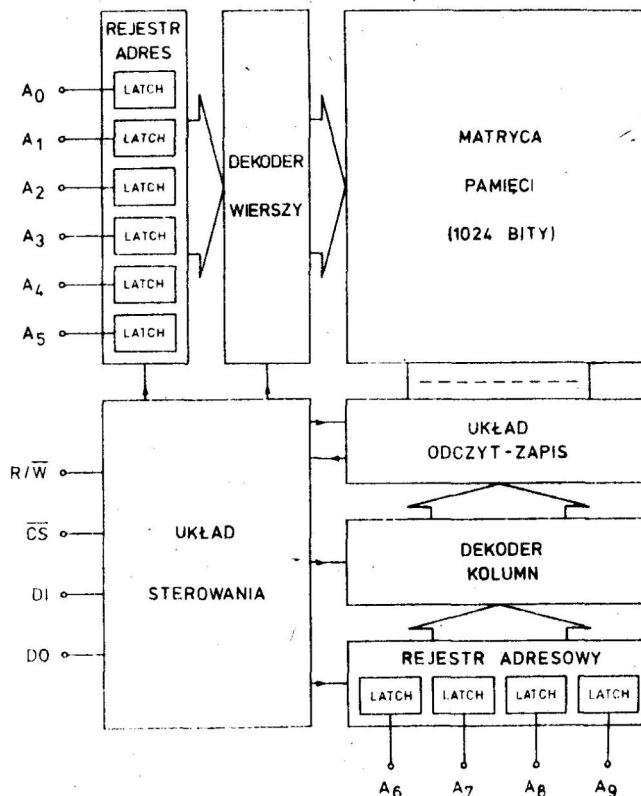
- pełną współpracą z układami TTL,
- trójstanowym wyjściem danych,
- niskim poborem prądu,
- możliwością przechowywania danych przy zmniejszonym napięciu zasilania,
- wstępnym przechowywaniem adresów w rejestrze typu "latch".

Układ wyprowadzeń



Opis wyprowadzeń

Uss, UDD - wejścia zasilające
A0 ÷ A9 - wejścia adresowe
CS - wejście wyboru układu
R/W - wejście wyboru rodzaju pracy
DI - wejście danych
DO - wyjście danych



Blokowy schemat wewnętrzny

Parametry dopuszczalne

$$/U_{SS} = 0 \text{ V/}$$

Oznaczenie	Nazwa	Jedn.	Wartość	
			min	max
U_{DD}	Napięcie zasilania	V	-0,3	7
U_W	Napięcie na pozostałych wyprowadzeniach	V	-0,3	7
P_D	Moc rozpraszana	W		0,5
t_{amb}	Temperatura otoczenia w czasie pracy	°C	0	+70
t_{stg}	Temperatura przechowywania	°C	-40	+125

Parametry charakterystyczne statyczne

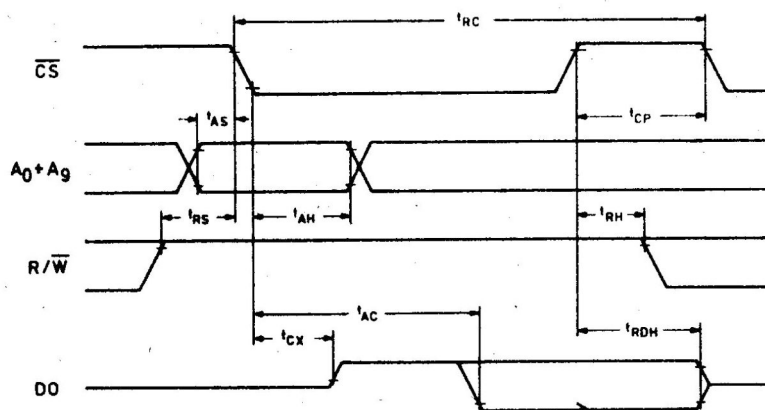
$$/U_{DD} = 5 \text{ V} \pm 5\%; U_{SS} = 0 \text{ V}; t_{amb} = t_{amb \text{ min}} \div t_{amb \text{ max}}/$$

Oznaczenie	Nazwa	Jedn.	Wartość		Warunki pomiaru
			min	max	
U_{DD}	Napięcie zasilania	V	4,75	5,25	
U_{IH}	Napięcie wejściowe w stanie wysokim	V	3,5		
U_{IL}	Napięcie wejściowe w stanie niskim	V		0,8	
I_{LI}	Wejściowy prąd upływu	μA		15	wejścia razem $U_I = 0 - U_{DD}$
U_{OH}	Napięcie wyjściowe w stanie wysokim	V	3,8		$I_{OH} = -1 \text{ mA}$
U_{OL}	Napięcie wyjściowe w stanie niskim	V		0,5	$I_{OL} = 1,6 \text{ mA}$
I_{LO}	Wyjściowy prąd upływu	μA		15	$U_O = 0 - U_{DD}$
I_{DD}	Prąd zasilania	mA		1	$U_{DD} = 5,25 \text{ V}$
U_{PD}	Napięcie zasilania w stanie przechowywania informacji	V	2,5		$U_{CS} = U_{DD}$ $U_I = 0 \text{ V}$
I_{PD}	Prąd zasilania w stanie przechowywania informacji	μA		250	$U_{CS} = U_{DD}$ $U_I = 0 \text{ V}$

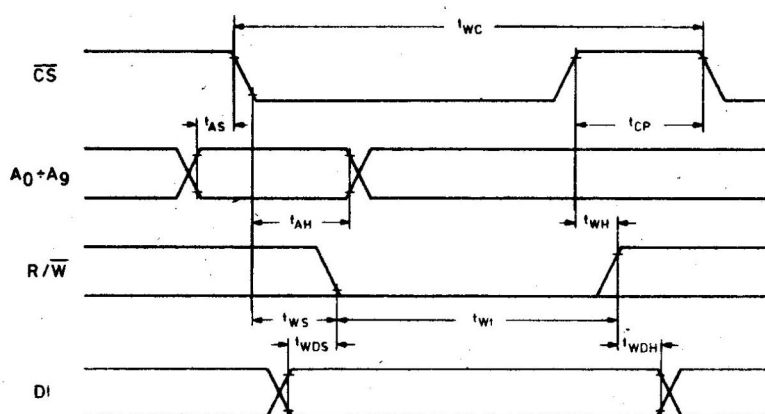
Parametry charakterystyczne dynamiczne

$U_{DD} = 5 \text{ V}$; $U_{SS} = 0 \text{ V}$; $CL = 50 \text{ pF}$; $t_{amb} = +25^{\circ}\text{C}$

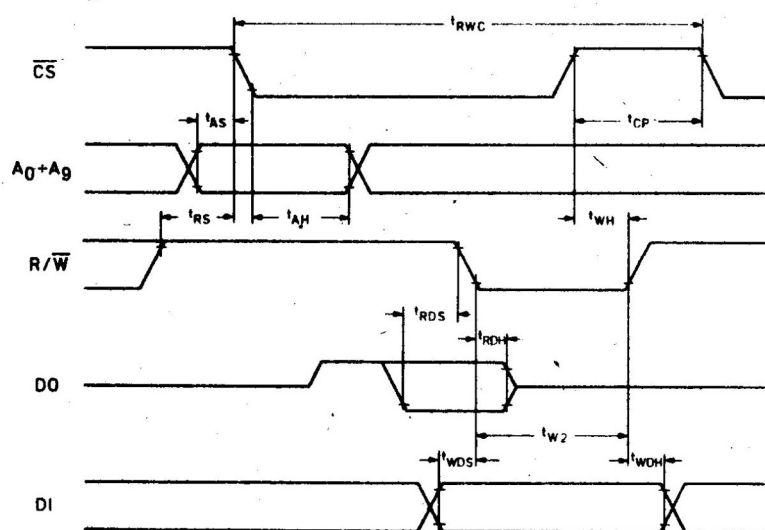
Oznaczenie	Nazwa	Jedn.	Wartość	
			min	max
Cykl odczytu				
t_{RC}	Czas cyklu odczytu	ns	1000	
t_{AC}	Czas dostępu względem zezwolenia $\overline{CS}$	ns		800
t_{CX}	Czas opóźnienia stanu aktywnego wyjścia danych względem zezwolenia $\overline{CS}$	ns	150	
t_{CP}	Czas trwania zakazu $\overline{CS}$	ns	120	
t_{AS}	Czas ustawienia adresów względem zezwolenia $\overline{CS}$	ns	0	
t_{AH}	Czas przetrzymania adresów względem zezwolenia $\overline{CS}$	ns	200	
t_{RS}	Czas ustawienia zezwolenia odczytu względem zezwolenia $\overline{CS}$	ns	0	
t_{RH}	Czas przetrzymania zezwolenia odczytu względem zakazu $\overline{CS}$	ns	50	
t_{RDH}	Czas trwania danych wyjściowych po zakazie $\overline{CS}$	ns	150	
Cykl zapisu				
t_{WC}	Czas cyklu zapisu	ns	1000	
t_{W1}	Czas zapisu	ns	470	
t_{WS}	Czas opóźnienia sygnału zapisu względem zezwolenia $\overline{CS}$	ns		110
t_{WH}	Czas przetrzymania sygnału zapisu względem zakazu $\overline{CS}$	ns	50	
t_{WDS}	Czas ustawienia danych wejściowych względem początku sygnału zapisu	ns	0	
t_{WDH}	Czas przetrzymania danych wejściowych względem końca sygnału zapisu	ns	50	
Cykl odczyt/zapis				
t_{RWC}	Czas cyklu odczyt/zapis	ns	1800	
t_{W2}	Czas zapisu	ns	820	
t_{RDS}	Opóźnienie sygnału odczytu	ns	20	



CYKL ODCZYTU



CYKL ZAPISU



CYKL ODCZYT/ZAPIS

Definicje parametrów dynamicznych